

Cow. US 4,795,654

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60-260148

⑬ Int. Cl.¹

H 01 L 27/10
G 11 C 17/06
H 01 L 21/20

識別記号

厅内整理番号

6655-5F
6549-5B
7739-5F

⑭ 公開 昭和60年(1985)12月23日

審査請求 未請求 発明の数 3 (全20頁)

⑮ 発明の名称 セット可能な記憶セル及び該セルを具備した集積回路

⑯ 特願 昭60-78239

⑰ 出願 昭60(1985)4月12日

優先権主張 ⑲ 1984年4月13日 ⑳ 米国(US) ㉑ 600304
㉒ 1985年4月8日 ㉓ 米国(US) ㉔ 721108 ✓

㉕ 発明者 ナポレオン・ポール・ アメリカ合衆国、ミシガン・48009、バーミンガム、アス
フォーミゴニ ペン・570

㉖ 発明者 ズヴィ・ヤニヴ アメリカ合衆国、ミシガン・48076、サウスフィールド、
アーリントン・コート・27610

㉗ 出願人 エナージー・コンバー アメリカ合衆国、ミシガン・48084、トロイ、ウェスト・
ション・デバイセス・ メイプル・ロード・1675
インコーポレーテッド

㉘ 代理人 弁理士 川口 義雄

P. 20

明細書

載のセル。

1. 発明の名称

セット可能な記憶セル及び該セルを
具備した集積回路

(3) 絶縁手段がデポジットされた半導体材料を
含むことを特徴とする特許請求の範囲第2項に記
載のセル。

2. 特許請求の範囲

(1) 第一及び第二のアドレス手段と、プログラ
ムエネルギーの印加によってその導電性を一つの導
電状態から別の導電状態にセットされ得るセット
可能材料から成るセット可能な情報記憶手段とを
有するセット可能な記憶セルであつて、セット可
能な情報記憶手段は第一及び第二のアドレス手段
間に電気的に直列に接続され、その結果第一及び
第二のアドレス手段間の抵抗は実質的に平型であ
る前記セット可能手段の平面に沿つて測定される
長さに比例する記憶セル。

(4) 半導体材料がアモルファス半導体合金を含
むことを特徴とする特許請求の範囲第3項に記載
のセル。

(2) セット可能手段と一方のアドレス手段との
間に電気的に直列に接続された電気的絶縁手段を
含むことを特徴とする特許請求の範囲第1項に記

(5) アモルファス半導体合金がシリコンを含有
することを特徴とする特許請求の範囲第4項に記載
のセル。

(6) アモルファス半導体合金が水素を含有する
ことを特徴とする特許請求の範囲第4項に記載の
セル。

(7) アモルファス半導体合金がフッ素を含有す
ることを特徴とする特許請求の範囲第4項に記載
のセル。

(8) 半導体材料が整流手段を含むことを特徴と
する特許請求の範囲第3項に記載のセル。

(9) 整流手段が半導体ダイオードを含むことを特徴とする特許請求の範囲第8項に記載のセル。

(10) 半導体ダイオードがpn型ダイオードであることを特徴とする特許請求の範囲第9項に記載のセル。

(11) 半導体ダイオードがpin型ダイオードであることを特徴とする特許請求の範囲第9項に記載のセル。

(12) 半導体ダイオードがショットキーダイオードであることを特徴とする特許請求の範囲第9項に記載のセル。

(13) セット可能材料の導電性が一つの導電状態から別の導電状態に放射エネルギーによつてセットされ得ることを特徴とする特許請求の範囲第2項に記載のセル。

(14) セット可能手段が相変化可能材料から成り、この材料はその導電性が第一の導電状態を取る第一の相から第二の導電状態を取る第二の相にセツ

トされ得、かつ実質的に第二の相から第一の相にリセットされ得ないことを特徴とする特許請求の範囲第2項に記載のセル。

(15) セット可能手段が相変化可能材料から成り、前記材料はその導電性が第一の導電状態を取る第一の相から第二の導電状態を取る第二の相にセットされ得、かつ第二の相から第一の相にリセットされ得ることを特徴とする特許請求の範囲第2項に記載のセル。

(16) セット可能な記憶手段がデポジットされたセット可能なアモルファス半導体材料のフィルムを含むことを特徴とする特許請求の範囲第2項に記載のセル。

(17) セット可能なアモルファス半導体材料がカルコゲン化物材料を含むことを特徴とする特許請求の範囲第16項に記載のセル。

(18) セット可能なカルコゲン化物材料が式 $T_{0.2}S_2Ge_{2.6}B_{0.2}$ を有する材料を含むことを特徴

とする特許請求の範囲第17項に記載のセル。

(19) 少なくとも選択された条件下において、セット可能手段の厚みを実質的に上回る長さの電気経路が第一及び第二のアドレス手段間にセット可能手段を通過するように形成されていることを特徴とする特許請求の範囲第2項に記載のセル。

(20) 第一及び第二のアドレス手段が1個の基板上に形成されており、また整流手段は第一のアドレス手段上に形成されて、該アドレス手段と電気的に接触していることを特徴とする特許請求の範囲第2項に記載のセル。

(21) セット可能手段が第二のアドレス手段上に少なくとも部分的にデポジットされて該第二のアドレス手段と電気的に接触しているセット可能材料フィルムから成ることを特徴とする特許請求の範囲第20項に記載のセル。

(22) 整流手段の一部分がセット可能手段の一領域と電気的に接触していることを特徴とする特許

請求の範囲第21項に記載のセル。

(23) セット可能手段が第二のアドレス手段並びに整流手段それぞれとの電気的接觸部間にプログラム可能領域を有し、このプログラム可能領域は基板表面に平行な方向において整流手段から偏位していることを特徴とする特許請求の範囲第22項に記載のセル。

(24) プログラム可能領域が基板表面に平行な方向において第一及び第二のアドレス手段からも偏位していることを特徴とする特許請求の範囲第23項に記載のセル。

(25) 絶縁表面を具えた基板と、基板上に形成された複数本の下側アドレスライン及び複数本の上側アドレスラインであつて上下互いに交叉し合つたアドレスラインと、所与の上側アドレスラインと所与の下側アドレスラインとの間に配置された絶縁材料層と、プログラムエネルギーの印加によつてその導電性を一つの導電状態から別の導電状態

にセットされ得るセット可能材料から成り、上側アドレスラインとの第一の電気的接続部並びに下側アドレスラインとの第二の電気的接続部を有する所定長のセット可能記憶フィルムとを含む集積回路であつて、前記フィルムが第一及び第二の電気的接続部間に於いて実質的に基板に平行な方向に伸長していることを特徴とする集積回路。

44 セット可能フィルムの一方の電気的接続部と対応する一方のアドレスラインとの間に電気的に接続された電気的絶縁手段を含むことを特徴とする特許請求の範囲第25項に記載の回路。

45 電気的絶縁手段が整流手段であることを特徴とする特許請求の範囲第26項に記載の回路。

46 整流手段が下側アドレスライン上に形成されており、セット可能フィルムの下側アドレスラインとの電気的接続部は該アドレスラインと整流手段を介して電気的に接続していることを特徴とする特許請求の範囲第26項に記載の回路。

47 上側アドレスラインと下側アドレスラインとの複数個の交叉部が各1個のセット可能フィルムを具備し、またこれらの交叉部には各1個の整流手段が、当該交叉部を構成する上側及び下側アドレスライン間に電気的に直列に接続して配置されていることを特徴とする特許請求の範囲第26項に記載の回路。

48 アドレスデコード手段が設けられており、この手段は集積回路外部の回路網が選択され得る複数本の下側アドレスラインの1本と選択され得る複数本の上側アドレスラインの1本との間に選択的に電圧または電流を、選択された上側及び下側アドレスライン間に接続された整流手段に順ババイスがかかるような方向に印加することを可能にし、その際前記外部回路網は選択され得る複数本の上側及び下側アドレスラインそれぞれと個別に接続され得なくともよいことを特徴とする特許請求の範囲第33項に記載の回路。

49 絶縁材料層が整流手段の少なくとも一部分上に伸張しており、またセット可能フィルムも前記整流手段上に位置し、セット可能フィルムは絶縁材料層によつてフィルム自体の長さの一部にわたり整流手段から電気的に絶縁されていることを特徴とする特許請求の範囲第28項に記載の回路。

50 金属層が整流手段の最上層と絶縁材料層との間に位置するように整流手段の最上層の上に配置されており、セット可能フィルムは当該整流手段とこの金属層を介して接続していることを特徴とする特許請求の範囲第29項に記載の回路。

51 整流手段が少なくとも1個の水平な半導体材料デポジット層と、このデポジット層と整流接合を形成する水平な材料層とを含むことを特徴とする特許請求の範囲第27項に記載の回路。

52 デポジットされる半導体材料がシリコンのアモルファス合金を含むことを特徴とする特許請求の範囲第31項に記載の回路。

53 アドレスデコード手段が下側アドレスラインの幾本かと上側アドレスラインの幾本かとを含み、それらのラインは各々二進アドレスのビットかまたは該ビットの反転ビットに対応する二進信号を受信するべく接続されたデコーダ入力ラインとして機能し、

アドレスデコード手段はまたデコーダ入力ラインと、該ラインと交叉するアドレスラインの幾本かとの間に接続された複数個の整流手段をも含み、

デコーダ入力ラインと交叉するアドレスラインの幾本かはインピーダンスを介して基準電位と接続され、かつ前記整流手段を介してデコーダ入力ラインとも接続されており、これらのアドレスラインは各々前記のような接続によつて、一群のデコーダ入力ラインに与えられるアドレスビットとその反転ビットの組合せをデコードして、選択された回路デバイスをアドレスするべく交叉アドレスラインのうちの選択された1本に所望の電圧を

たは電流が印加されることを実現し得る論理ゲートを構成していることを特徴とする特許請求の範囲第34項に記載の回路。

44 アドレスデコード手段の整流手段並びにアドレスデコード手段によつてアドレスされるべき回路デバイスの整流手段が共に少なくとも1個の通常のようにデポジットされたアモルファス半導体材料層から成ることを特徴とする特許請求の範囲第35項に記載の回路。

45 基板が可撓性材料から成ることを特徴とする特許請求の範囲第26項に記載の回路。

46 基板が軟質合成ポリマー樹脂から成ることを特徴とする特許請求の範囲第37項に記載の回路。

47 軟質合成ポリマー樹脂が耐熱ポリイミド樹脂から成ることを特徴とする特許請求の範囲第38項に記載の回路。

48 耐熱ポリイミド樹脂がカブトンであることを特徴とする特許請求の範囲第39項に記載の回路。

49 一方の表面に接着剤を有し、その結果他の物体の表面に貼付けられ得ることを特徴とする特許請求の範囲第25項に記載の回路。

50 物体に該物体の電子ラベルとして取付けられ、その際セット可能フィルムは前記物体に関する情報を記憶するべくプログラムされることを特徴とする特許請求の範囲第25項に記載の回路。

51 セット可能フィルムの少なくとも大半部が所与の上側及び下側アドレスラインの一方の上に位置し、かつそのラインから少なくとも絶縁材料によつて絶縁されていることを特徴とする特許請求の範囲第25項に記載の回路。

52 セット可能フィルムが相変化可能材料から成り、前記材料はその導電性が第一の導電状態を取る第一の相から第二の導電状態を取る第二の相

に、該材料自身への放射線の入射によつてセットされ得ることを特徴とする特許請求の範囲第26項に記載の回路。

53 相変化可能材料が実質的に第二の相から第一の相にリセットされ得ることを特徴とする特許請求の範囲第44項に記載の回路。

54 相変化可能材料が第二の相から第一の相にリセットされ得ることを特徴とする特許請求の範囲第44項に記載の回路。

55 相変化可能材料がその第一の相においてアモルファス半導体材料であることを特徴とする特許請求の範囲第44項に記載の回路。

56 相変化可能材料がカルコゲン化物材料を含むことを特徴とする特許請求の範囲第44項に記載の回路。

57 カルコゲン化物材料が式 $T_{0.2}S_{0.8}Ge_{0.4}Sb_2$ を有する材料を含むことを特徴とする特許請求の範囲第48項に記載の回路。

58 基板と、基板上にデポジットされた半導体材料から成る複数個の回路デバイスと、回路デバイス同士を電気的に接続する、基板上に形成された複数個の導電手段とを有する集積回路であつて、基板が実質的に軟質合成ポリマー樹脂から成る可撓性基板であることを特徴とする集積回路。

59 軟質合成ポリマー樹脂が実質的に耐熱ポリイミド樹脂から成ることを特徴とする特許請求の範囲第50項に記載の回路。

60 耐熱ポリイミド樹脂がカブトンであることを特徴とする特許請求の範囲第51項に記載の回路。

61 回路デバイスが少なくとも1個の水平な半導体材料デポジット層と、このデポジット層と整流接合する材料層とを含む少なくとも1個の整流手段を有することを特徴とする特許請求の範囲第50項に記載の回路。

62 複数個の導電手段が複数本の下側導電アド

特開昭60-260148(5)

レスラインと、これらの下側アドレスライン上を横切る複数本の上側導電アドレスラインとを含み、複数個の回路デバイスは、各々下側アドレスラインと上側アドレスラインとの間に電気的に接続された複数個の整流手段を含むことを特徴とする特許請求の範囲第53項に記載の回路。

4) 回路デバイスがプログラムエネルギーの印加によつてその導電性を一つの導電状態から別の導電状態にセットされ得るセット可能材料から成るセット可能手段を更に含み、このセット可能手段は1本の下側アドレスラインと1本の上側アドレスラインとの間に1個の整流手段と共に電気的に直列に接続されていることを特徴とする特許請求の範囲第54項に記載の回路。

5) アドレスデコード手段が設けられており、この手段は集積回路外部の回路網が選択され得る複数本の下側アドレスラインの1本と選択され得る複数本の上側アドレスラインの1本との間に選

択的に電圧または電流を、選択された上側及び下側アドレスライン間に接続された整流手段に順バイアスがかかるように印加することを可能にし、その際前記外部回路網は選択され得る複数本の上側及び下側アドレスラインそれぞれと個別に接続され得なくともよいことを特徴とする特許請求の範囲第55項に記載の回路。

6) アドレスデコード手段が下側アドレスラインの幾本かと上側アドレスラインの幾本かとを含み、それらのラインは各々二進アドレスのビットかまたは該ビットの反転ビットに対応する二進信号を受信するべく接続されたデコーダ入力ラインとして機能し、

アドレスデコード手段はまたデコーダ入力ラインと、該ラインと交叉するアドレスラインの幾本かとの間に接続された複数個の整流手段をも含み、デコーダ入力ラインと交叉するアドレスラインの幾本かはインピーダンスを介して基準電位と接

続され、かつ前記整流手段を介してデコーダ入力ラインとも接続されており、これらのアドレスラインは各々前記のような接続によつて、一群のデコーダ入力ラインに与えられるアドレスビットとその反転ビットの組合せをデコードして、選択された回路デバイスをアドレスするべく交叉アドレスラインのうちの選択された1本に所望の電圧または電流が印加されることを実現し得る論理ゲートを構成していることを特徴とする特許請求の範囲第56項に記載の回路。

7) アドレスデコード手段の整流手段並びにアドレスデコード手段によつてアドレスされるべき回路デバイスの整流手段が共に少なくとも1個の通常のようにデポジットされたアモルファス半導体材料層から成ることを特徴とする特許請求の範囲第57項に記載の回路。

8) 一方の表面に接着剤を有し、その結果他の

物体の表面に貼付けられ得ることを特徴とする特許請求の範囲第50項に記載の回路。

9) 物体に該物体の電子ラベルとして取付けられ、その際回路デバイスがプログラム可能な記憶手段を含んでおり、この記憶手段は前記物体に関する情報を記憶するべくプログラムされることを特徴とする特許請求の範囲第50項に記載の回路。

3 発明の詳細な説明

後の読み取りに用いられる二進情報を記憶するよう構成されたプログラム可能な記憶アレイは先行技術で既に知られている。1972年10月17日付でニール(Neal)に付与された米国特許第3,699,543号に開示されている如き先行技術のアレイはX及びYアドレスラインセットを有し、これらアドレスラインが互に絶縁されていると共に互に直交する方向に配置され、その結果複数の交差点が形成されるようになっている。この先行技術では各交差点にダイオードの如き電気絶

線素子をセット可能記憶素子と直列に設ける方法も用いている。この場合この直列アセンブリは対応Xアドレスラインと対応Yアドレスラインとの間に接続されてアドレス可能メモリセルを構成する。

この種のアレイは1980年5月30日にシャンクス(Shanks)に付与された米国特許

第4,203,123号にも記載されている。シャンクスはアモルファスシリコン材料で絶縁ダイオードを形成することを指摘している。このようなダイオードは1980年10月7日付でオブシンスキー(Ovshinsky)に付与された米国特許

第4,226,898号に記載されている。この特許第4,226,898号はPN接合ダイオードとPIN型ダイオードとを開示している。

シャンクス等の先行技術は更に高導電率又は低導電率を有すべくセット又はリセットされ得るアモルファスカルコゲン化物材料をメモリ素子とし

て使用することも教示した。シャンクスの特許に示されている如き先行技術ではアモルファスシリコンダイオードをカルコゲン化物をベースとするメモリ素子の物理的上方又は下方に設けることが示された。ニールはこれらダイオードをセット可能メモリ素子に対してオフセットすることを教示している。

有用なアレイを製造する可能性に加え、選択した記憶場所を製造プロセスの間又は後で1又は0に該当する状態にセットすることも必要である。リードオンリーメモリを得る場合はプログラミングを製造プロセスの間に実施し得る。プログラム可能メモリアレイの場合はアレイを製造した後でプログラミングを行ない得る。

先行技術に見られる問題の一部は交差点領域における絶縁ダイオード/メモリセルアセンブリの縦方向配置に起因する。このような構成では絶縁ダイオードと直列に配置された抵抗の値がカルコ

ゲン化物材料の厚みに直接比例する。そのためカルコゲン化物膜の厚みが薄いとセルの「オフ」抵抗の値が不当に低くなる。

第2の重大な欠点は高密度の点欠陥を発生させ得る塵粒子の有害な作用にある。膜状セルが2つの導体の間にサンドイッチ状に挿入されている場合はセルのインピーダンスをシャントする電気的短絡が塵の粒子によつて生起され得る。第3の大きな欠点は、アレイの光学的プログラミングを可能にすべくメモリの膜の上に形成した透明な伝導性電極を用いることから生じる。即ちこの透明電極の製造プロセスではメモリ膜の特性に有害なとの多い熱処理が必要とされる。更に、この伝導性透明電極の面積抵抗は通常の金属電極より当然大きくなることが予想される。このように面積抵抗が大きいとアドレスラインのインピーダンスに悪影響が及ぼされ得る。

従来は集積回路の大部分が結晶質基板上に形成

されていた。このような基板は通常かなり堅くて弾力性がないため破損を回避すべく比較的厚くて平坦な面の上に載置しなければならない。しかしながら用途によつては手紙、小包の表面の如き可撓性の面又は他の平坦ではない物体の表面に集積回路を載置し得ることが望まれる。このような可撓性基板上に回路を形成することの利点はその回路の大きさが大きい程顕著である。何故なら大型結晶質集積回路は小型のものより更に破損し易いからである。

回路素子を形成するための面として可撓性基板が使用されたことはこれまでにもある。一例としてウイルミントン(Wilmington), デラウェア(Delaware)19898のデュポン(Dupont)社, ポリメリックプロダクツデパートメント(Polymeric Products Department), インダストリアルフィルムディビジョン(Industrial Film Division)により「カプトン(Kapton)」の商品名で市販されてい

(附註)
る高温ポリイミドの如き合成ポリマー樹脂で形成された可撓性基板がある。電子用基板として使用される場合カプトンは300℃までの温度に耐え得る。この物質はホトリトグラフ技術によつて金属ラインを形成し且つハンダ付によつて集積回路を載置するための可撓性基板として広く使用されてきた。

本発明は2つのアドレスラインと1つのセット可能記憶素子とからなるメモリデバイスに係る。前記記憶素子は前記2つのアドレスライン間に電気的に直列接続される。この記憶素子は或る導電率をもつ第1状態から極めて異なる別の導電率をもつ第2状態へとセットできる材料で形成される。本発明のメモリデバイスはセット可能記憶素子を通る電気バスが該素子の厚みを実質的に上回る長さを有するように構成される。このようにすると該記憶素子によつて与えられるプログラム可能的に変化し得る抵抗が、該素子を通る電気バスをそ

特開昭60-260148(7)

の厚みの方向に設けた場合より遥かに大きくなり、従つて記憶素子の状態が電子的又は光学的に読み取り易くなる。

本発明の好ましい具体例では互に直交するX及びYアドレスラインを基板の第1表面に配置する。これらアドレスラインは交差点で相互に絶縁される。各交差点の近傍にはアモルファスシリコンデポジット膜からなるダイオードの如き絶縁素子を一方のアドレスラインセットのアドレスラインと電気的に接触するよう配置し得る。セット可能記憶素子はこれら各分離素子と他方のセットのアドレスラインの1つとの間に設けられる。各絶縁素子に対応する抵抗は電流が流れるセット可能記憶素子の長さによつて決定される。

本発明の一実施法は交差点で互に絶縁される第1及び第2直交アドレスラインセットを形成するステップと、選択した交差点の近傍で一方のアドレスラインセットのアドレスラインと電気的に接

触する複数の絶縁素子を形成するステップと、少なくとも数個の交差点の近傍にセット可能記憶素子を形成しそれによつて対応絶縁素子を第2アドレスラインセットの対応アドレスラインに電気的に接続させるステップとからなる。

別の実施例では、X及びYアドレスラインの各交点に対応する絶縁素子をp-nダイオード、p-i-nダイオード又はショットキーダイオードの如き整流素子で構成し、セット可能素子を電気接続の間で対応X及びYアドレスラインまで延在する或る長さのセット可能フィルムにより構成する。好ましくは表面積を節約すべく前記整流素子及びセット可能フィルムを2つの対応アドレスラインのうち一方のラインの上に直接形成する。一例として、整流素子を下方アドレスライン上にデポジットしたアモルファス半導体材料の水平デポジット層からなるp-i-nダイオードで構成し、このダイオードの上に金属層を配置する。下方ア

ドレスラインと前記ダイオードとその上の前記金属層との上に更に絶縁層をデポジットする。この絶縁層の上には下方アドレスラインと交差する別のアドレスラインを配置し、且つエッティングによつてviaを形成する。セット可能フィルムは上方アドレスラインとの電気接点から前記viaを通つて前記ダイオード上表面の金属層との電気接点まで延在し、且つ前記ダイオードを通して下方アドレスラインまで延在する。

本発明のセット可能記憶素子は相変化材料のデポジット膜で形成するのが好ましい。相変化材料とは或る導電率を示す第1相から別の導電率を示す第2相に変化し得る材料のことである。好ましい具体例ではこのような相変化が放射エネルギーの入射よつて誘起される。場合によつては一度第2相にセットされると第1相には実質的に戻り得ない相変化材料が使用される。勿論、リセット可能な相変化材料を用いる場合もある。リセット可能

なカルコゲン化物材料及びリセット不可能なカルコゲン化物材料はいずれもアモルファスカルコゲン化物合金の如きアモルファス半導体材料で構成し得る。

多くの具体例では本発明は共通基板上に集積回路として形成されたメモリ素子アレイを具備する。この種の具体例では前記集積回路が該集積回路のメモリデバイスで用いられるものと類似のX及びYアドレスライン及びダイオードで構成されたアドレス復号手段を含み得る。

^(耐熱)
本発明の別の具体例では集積回路を高温ポリイミドの如き合成ポリマー樹脂からなる可撓性基板上に形成する。このような回路は裏面に接着層を有し得、その場合は他の物体の表面に付着してその物体に関するデータを含むような電子ラベルの役割を果たし得る。

本発明の他の特徴は以下の好ましい具体例による詳細な説明で明らかにされよう。

第1図は複数個のアドレス及びセット可能な記憶セルを載置したメモリマトリクス5の概略図である。複数個のXアドレスライン10、12及び14は複数個のYアドレスライン20、22及び24と交差している。第1図には 3×3 のマトリクスのみを図示したが、本文に記載する本発明の実施例の原理はいかなる寸法のマトリクスにも同様に適用可能であることが理解される。第1図においてXアドレスライン10、12及び14はYアドレスライン20、22及び24から絶縁されている。セット可能なメモリ又は記憶素子34と直列になつたダイオード30の如き絶縁素子は、10の如きXラインと20の如きYラインとの例えば11の如き各インターセクション又は区域の付近に位置する。ダイオード30はショットキーダイオード、p-nダイオード又はp-i-nダイオードでもよい。ダイオード30の1端46はXアドレスライン10の如きアドレスラインに接続し、

同様にメモリ素子34とYアドレスライン20との間に結線48を形成する。後述のメモリ素子34は、デポジットされた光学によるプログラム可能なカルコゲン化物で形成される。残留メモリ素子36-44は素子34と同一である。かくてセル7の如き各々のセット可能な記憶セルは、ライン10の如きXアドレスラインの一部と、ライン20の如きYアドレスラインの一部と、素子34の如きメモリ素子と、ダイオード30の如き絶縁素子とを少なくとも包含する。

第2図は本発明の実施例を製造するための第1段階を示す。例えばステンレス鋼シートの基板60は連続するものか又は絶縁ガラス薄膜を載置したものである。代案として、ステンレス鋼シート又は他の種類の金属シートの代りに、例えばガラス等の適当な寸法、形状及び強度を有する他の種類の絶縁材料で基板60を形成してもよい。ライン10乃至14に相当する1セットのXアドレスラ

インを最初に基板60上に形成する。各Xアドレスラインの幅は10ミクロンで15ミクロンの間隔を置いて形成される。1組のアドレスライン10、12の中心相互間の距離は25ミクロンである。10乃至14のアドレスラインを製造するためには当業者には周知のスプレイ及びリフトオフ型式の方法を用いる。次にポジの(正型)ホトレジストの層を塗布するが、この場合該正型ホトレジスト層はマスクを使用して露光して現像される。該ホトレジストの露光部を除去する。次に基板60にタンタルをスパッタによりデポジットして2,000オングストローム±10%の膜厚の層を形成する。スパッタ-デポジット工程が終了すると、当業者には周知の如く基板60から余分な材料を除去する。残りの材料はXアドレスライン10、12又は14に相当する。

第3図に示す次の段階において、複数個の区域72乃至82を酸化して該選定区域にタンタル酸

化物の絶縁層 (Ta_2O_5) を形成する。該区域 7 2 乃至 8 2 の各々の長さは 1.5 ミクロンで、同一の X アドレスライン上の隣接区域から 1.0 ミクロン 隔設される。酸化層の厚さは、6.0 ポルトを越える絶縁破壊電圧となる 1,000 オングストロームのオーダのものでなければならない。

区域 7 2 乃至 8 2 を形成するために基板 6 0 とアドレスライン 2 0 乃至 1 4 に正型ホトレジストを塗布する。マスクを使用して区域 7 2 乃至 8 2 は露光され、次にホトレジストを現像する。その後で露光したホトレジストを除去する。この後で区域 7 2 乃至 8 2 は陽極酸化される。

次に酸化区域 7 2 乃至 8 2 は二酸化マンガン (MnO_2) 層で被膜される。該二酸化マンガン層は基板 6 0 の全体に付着されるが、ホトレジストの故に区域 7 2 乃至 8 2 のみが被膜される。

二酸化マンガンは、酸化タンタル層中に存在し得る潜在的なピンホールをふさぐことを目的とする。

る。二酸化マンガン層を塗布した後で、第 4 図に示す如く基板 6 0 に塗布した 2 0、2 2 の如き Y アドレスラインの酸化タンタルの上に二酸化マンガンを被覆した区域 7 2 乃至 8 2 を有する基板 6 0 に複数個の X アドレスライン 1 0 乃至 1 4 を残しながら当業者には周知の方法で余分な材料を基板 6 0 から除去する。2 0 の如き Y アドレスラインは、予め形成してある絶縁区域 7 2、7 4 及び 7 6 上において 1 0 乃至 1 4 の如き X アドレスラインを横切る。X アドレスライン 1 0 乃至 1 4 をデポジットする時に使用したものと同じ方法を使用して Y アドレスライン 2 0、2 2 を基板 6 0 にデポジットする。

要すれば、Y アドレスラインに塗布した後で余分な材料を除去してから、X アドレスライン 1 0 乃至 1 4 と Y アドレスライン 2 0 乃至 2 4 との間に絶縁に関する電気テストを実施可能である。恐らくは酸化タンタル層中のピンホールが原因と

なつて 1 0、2 0 の如き所与の組のラインが電気絶縁されていないことが判明した場合、陽極処理電圧を越えないボイアス電圧を加えることが可能であり、従つて二酸化マンガンによつてピンホールが閉塞されるのでアドレスライン 1 0、2 0 相互間の絶縁層は完全なものとなる。

次の段階において、P 又は N 型ドープの無定形シリコン合金層を基板 6 0 の全体に付着する。最初の無定形シリコン合金層の次にはボープしていない第 2 無定形シリコン合金層を塗布する。最後には第 1 層と逆の導電性にドープされた第 3 無定形シリコン合金層を基板 6 0 全体に付着する。従つて連続する複数個のピンダイオードが基板 6 0 の残留部と同様に X 及び Y アドレスライン上に形成される。好ましくは、無定形シリコン、フッ素及び水素である。かかる材料からダイオードを形成する方法は当業者には既知であり、本文にて参照としているオブシンスキ (Ovshinsky) による

米国特許第 4,226,898 号に記載されている。

次に無定形シリコン薄膜を腐食させ、第 5 図に示す如く複数個の不連続ダイオード区域 9 0 乃至 9 8 を形成する。ダイオード区域 9 0 乃至 9 8 の各々は相応する X アドレスライン 1 0 乃至 1 4 と電気接觸するように形成される。ダイオード区域 9 0 乃至 9 8 の各々は、長さ 8 ミクロン、幅 1.2 ミクロン程度のものである。9 0 の如き各ダイオードは 9 6 の如き隣接ダイオードから 1.5 ミクロン隔設される。ダイオード部材 9 0 乃至 9 8 は実例素子 3 0 として第 1 図に概略を示した絶縁部材に相当する。無定形シリコン合金はオブシンスキの特許に記載されているように水素とフッ素を含有することが望ましい。

PIN ダイオード 9 0 乃至 9 8 を形成する代りに、PN 接合ダイオードを基板 6 0 に形成可能である。更に代案として、選択によりドーピングした無定形シリコン層にデポジットした金属層を用

いて同じく米国特許第4,226,898号に記載されているショットキーダイオードを形成してもよい。ショットキーダイオードの利点は、34-44の如きカルコゲン化物の記憶素子が金属層と電気接觸することである。要すれば本発明の原理及び範囲を逸脱することなく例えば電界効果のある薄膜トランジスタの如き他の絶縁装置を使用可能である。

第6図に示す最終段階において、基板60の構造部に複数個の相変化可能でかつセット可能なメモリ素子34乃至44を形成する。セット可能なメモリ素子34乃至44はほぼ扁平な薄膜として基板60の上に一部をデポジットする。メモリ素子34乃至44を形成する工程は、基板60の構造部にホトレジスト層を塗布する段階と、区域34乃至44を露光するようにマスクを用いて該ホトレジストを露光する段階と、該ホトレジストを現像する段階と、露光材料を取り外す段階と、位相変化可能でかつセット可能な材料を基板60にスパ

ッターデポジットする段階と、当業者には既知の如く区域34-44のみを残してエッチング又は他の方法によつて余分な材料を除去する段階とで構成される。

スタンフォードR.オブシンスキーの1970年9月22日付の米国特許第3,530,441号は本発明の本文で参考資料にしているものであるがこれによれば、相変化可能な材料とは、原子が局所的秩序を有するか又は局在した結合したほぼ無秩序で全体として無定形な構造と、比較的秩序ある状態との間にて変化可能な材料である。該変化はそれ自体がほぼ無秩序で全体として無定形状態を含む短距離秩序の範囲内であるか又は短距離秩序から結晶性或いは擬結晶性状態を成し得る長距離秩序へのものでもよく、このような構造上の変化は全く少なくとも局所的秩序及び/又は局在した結合の変化を包含する。構造上の変化を成す局所的秩序及び又は局在した結合の変化は微妙なもので

あり得、例えば構造上の変化を決定乃至検出するため容易に使用可能な電気特性又は光学特性の如き材料の特性に大きな変化を与える。

前述の如き相変化可能な材料は一般に秩序相におけるよりは無秩序相における方が導電度がはるかに低い。この材料はリセット可能でもリセット不能でもいずれでもよい。一般にリセット不能な相変化材料の場合、無秩序で導電度の低い位相からより秩序だつた導電度の高い相への変化はかなり容易にプログラム化可能であるが、この反対の変化のプログラム化は容易ではない。一方リセット可能な相変化材料の場合、異なる長さと強度のエネルギー・パルスに露出することによつて比較的無秩序な状態と比較的秩序だつた状態との間にていずれの状態へも変化可能である。本発明においては両方の型式の相変化材を使用可能である。情報を持久記憶するために指示されるメモリのみを読み取るためにリセット不能な材料がよい。消

去可能なメモリにはリセット可能な材料がよい。本発明に使用可能なりセット可能で相変化可能な材料は $Ge_{20}Te_{80}$ の化学式のカルコゲン化物である。スタンフォードR.オブシンスキーの1970年9月22日付の米国特許第3,530,441号にはその他の適当なりセット可能で相変化可能な材料が記載してある。

本発明にて使用可能なりセット不能で相変化可能な材料は一般的な化学式が $Te_aSb_cGe_bSb_d$ のカルコゲン化物である。例えば好適材料として材料の原子比で示すと「a」は7.2%、「b」は2%、「c」は24%、「d」は2%である。好適なセット可能なメモリ材料は、75℃の平衡温度で 4.5×10^{-3} Tor. の圧力の基板にデポジットされる。区域34乃至44の各々にデポジットされるセット可能なメモリ又は記憶材料の膜厚は1,000 オングストロームのオーダである。

第6図に示す如く、メモリ区域34の如き各メ

特開昭60-260148(11)

モリ区域は、アドレスライン 20 の如き隣接する Y アドレスラインと重なり合ひ 10 ミクロンの長さの区域 34 a と、絶縁ダイオード 90 の如き隣接する絶縁素子と重なり合ひ 8 ミクロンの長さの区域 34 b とを有し、メモリ区域 34 の他の 2 枚の側部の全長は 12 ミクロンのオーダである。他のメモリ素子も同一寸法と形状を有する。メモリ又は記憶区域 34 乃至 44 の各々は、区域 72 の如き各横断区域に対して非対称形にデポジットされ、ダイオード 90 の如き各絶縁ダイオードに対してそれぞれ非対称形にデポジットされる。各記憶区域 34 - 44 はほぼ扁平でデポジットされた薄膜である。

最後に基板 60 の構成部は、透明ポリイミドの如き有機薄膜を構成部全体に塗布することによって不動態化される。次に各区域 34 乃至 44 のセット可能なメモリ材料はマスクと協働してキセノンランプを使用して光プログラム化可能である。

アドレスライン 20 とダイオード 90 との間の抵抗は、電流が流れる記憶材料の長さを増減するよう区域 34 の幾何学形状又は形を変えることによつて増減可能である。

従つてマトリクス 5 の実施例において記憶素子 34 を高導電状態にセットし、ダイオード 90 が通電する時にアドレスライン 10、20 相互間に存在する抵抗力は、メモリ素子の厚さが高導電抵抗を決定する場合よりも実質的大きく、前者は 10^4 オームのオーダで後者は 1 オームのオーダである。同様にマトリクス 5 において素子 34 が低導電状態にある場合、10、20 の如きアドレスライン相互間の抵抗は 10^9 オームのオーダで、これはメモリ素子の厚さが低導電抵抗を決定する場合の 10^4 オームのオーダの抵抗を上回る。

(以下余白)

区域 34 - 44 の材料の抵抗率は $\text{Te}_{73} \text{S}_{12} \text{Ge}_{15} \text{Sb}_2$ で形成した場合、プログラミング以前は 10^9 オーム/□ のオーダで、キセノンランプに露光後は 10^4 オーム/□ のオーダであることが判明している。

第 6 図のメモリマトリクスの重要な利点は 34 の如きメモリ素子がプログラム化されカルコゲン化材が低抵抗状態にセットされた時に理解される。アドレスライン 10、20 の極性によつて絶縁ダイオード 90 が伝導性である場合、アドレスライン 10、20 相互間の抵抗は、材料 34 の膜厚を変えることによつてではなくて、区域 34 の幾何学形状を変えることによつて正確に指示可能である。

当業者には周知の如く素子 34 の如き素子の抵抗は、電流が該素子を流れる長さと電流の通路の長さに正比例し、素子の厚さと幅とに反比例する。

第 7、8 図は本発明による別型実施例である。

第 7 図において、長方形の絶縁ダイオード 90a 乃至 98a を示す。長方形絶縁素子 90a 乃至 98a の寸法は 5×20 ミクロンのオーダである。ダイオード 90 乃至 98 の寸法は 8×12 ミクロンのオーダであつた。かくて第 7 図の実施例は酸化パッド 72、78 相互間にてダイオード 90a の各側部には案内バンド 110、115 又は $2 - \frac{1}{2}$ ミクロンのマージンを設ける。ダイオード 90 の寸法の場合該ダイオードの各側部に 1 ミクロンの案内バンドが形成される。

第 8 図には長方形のカルコゲン化材のメモリ素子 34a、36a、40a 及び 42a を示す。34a の如きメモリ又は記憶素子はそれぞれ幅が 5 ミクロンで長さが 15 ミクロンである。素子 34a は、隣接するアドレスライン 20 と重なり合ひ長さ 5 ミクロンの区域 120 と、隣接絶縁部材 90a と重なり合ひ長さ 5 ミクロンの区域 124 とを有す

る。かくて絶縁部材 90a と隣接するアドレスライン 20 との間に記憶材料で形成する 5 ミクロン × 5 ミクロンの正方形を位置決めする。別のメモリ素子 36a、40a 及び 42a も同じ重複構造を有する。

メモリ素子 34a、36a、40a 及び 42a の抵抗はプログラミング以前は 10^9 オームのオーダであり、プログラミング後は 10^4 オームのオーダである。第 6 図の実施例の場合のように、メモリセル 34a、36a 及び 40a 又は 42a の高抵抗及び低抵抗は 4 オーダのオーダであり、これは厚さすなわち 1 ミクロンの厚さが電流が流れる長さである場合に同一寸法の記憶素子が示すものよりも大きい。絶縁素子 90a、92a、96a 及び 98a はショットキー障壁ダイオード、p-n ダイオード、p-i-n ダイオード又は薄膜電界効果トランジスタとして形成可能である。第 5、6 図の構造を形成する際に説明したものと同じ段

階は第 7、8 図の構造のものを形成する場合にも使用される。

次に第 9 乃至 12 図には本発明の別の実施例を示す。本発明の該実施例において、メモリ配列 200 は複数個のメモリセル 201 を有する。該メモリ列はホトリソグラフィによつて基板 202 の表面に第 9 図に示す Y アドレスライン 204 の如き複数個の底部アドレスラインを形成することによつて構成される。底部アドレスライン 204 がひとたび形成されると、薄膜の p-i-n ダイオード 208 の如き複数個の規則的に隔設した絶縁装置は各底部アドレスライン 208 の頂部に形成される。ダイオード 208 は、先ず p-型材料の層 210 をデポジットし、次に i-型材料の層 212、その次に n-型材料の層 214 をデポジットすることによつて形成することが望ましい。該 3 種類の層の各々を基板 202 の表面全体にデポジットした後で、n-層の頂部に金属層 216 がデポジットされ、下方に形

成すべき形状の p-i-n ダイオードを得るように写真平版術(ホトリソグラフィ)によつてパターン化される。該金属層をパターン化した後で基板の全表面をエッチングする。このエッチングによつて、第 9 図に示す如く該パターン化したメタル下方にデポジットされる部分を除いて無定形半導体より成る p、i 及び n 層 210、212 及び 214 の全てが除去される。

底部アドレスライン 204 と頂部金属層 216 の両者は、p-型及び n 型無定形シリコン合金と良好な状態でオーム接触するクロムで形成することが望ましい。頂部金属層 216 は少なくともほぼ 4,000 乃至 5,000 オングストロームの厚さでなければならない。

ダイオード 208 に頂部金属層 216 を形成した後で、基板 202 の全表面を、5,000 乃至 10,000 オングストロームの厚さの例えば二酸化ケイ素又は窒化ケイ素の如き電気絶縁材の層 218 で被覆され

る。

絶縁層 218 をデポジットした後で、ホトリソグラフィ装置によつて 1 揃いの頂部アドレスライン 220 を該層の表面に形成する。好適実施例において、底部アドレスライン 204 の各々の幅は 30 ミクロンで、10 ミクロンだけ隔設されている。ダイオード 208 は 30 ミクロン × 30 ミクロンの正方形で、各ラインに沿つて 10 ミクロンの間隔を有する。しかしながら、頂部アドレスライン 220 は、幅が僅か 10 ミクロンの底部アドレスライン 204 よりも実質的に狭い。従つて、第 10、11 及び 12 図に示す如く、頂部アドレスライン 220 は各ダイオード 208 の 1 端を越えて延長するように位置決め可能である。かかる構造の利点は、各メモリセルに必要な面積を最小限にしながらダイオードの面積を最大することである。底部ライン 204 をそれの上に形成するダイオードより薄く形成することによつて表面積が少くならないので、

該ラインの幅は 30 ミクロンに形成される。しかしながら頂部アドレスライン 220 を広くすると表面積は広くなるし、図示の実施例を達成するためには 10 ミクロン幅のアドレスラインの導電度で充分であるから、頂部アドレスライン 220 の幅は 10 ミクロンにすぎない。

金属ライン 220 を形成した後で、径路(via) 222 は酸化層 218 を介してエッティングされた各ダイオードの頂部に金属層 216 の一部を露出する。該径路 222 は、アドレスライン 220 によって被覆される末端部からダイオードの各々の対抗端に形成される。径路 222 をエッティングした後、前記型式のセット可能な材料の層をデポジットする。次に該層は写真食刻装置によつてパターン化してセット可能な材料より成る複数個の別個の長さ部 224 になり、各々は径路 222 のうちの 1 つから協働するアドレスライン 220 まで延長する。セット可能な材料の長形部 224 の 1 端は頂部アドレスライン 220

と電気接觸し、他端は、協働するダイオード 208 の頂部の金属層 216 と電気接觸し、該金属層を介してダイオード 208 と電気接觸し、協働する底部アドレスライン 204 と電気接觸する。セット可能な材料又は薄膜より成る長形部 224 の長さは約 30 ミクロンで、幅は約 10 ミクロンである。協働する底部アドレスライン 204 及びダイオード 208 のすぐ上方に該長形部を配置することによつて、セット可能な材料より成る長形部を底部アドレスラインから水平に分離させた第 6 図及び第 8 図に示す本発明の実施例と比較すると空間が著しく節約可能となる。各ダイオード 208 に形成する 4,000 乃至 5,000 オングストロームの厚さの金属層 216 と 5,000 乃至 10,000 オングストロームの厚さの絶縁層 218 は両者共、セット可能な材料のフィルム 224 をより導電度の高い位相に変えるために必要なプログラミングエネルギーから該ダイオードを絶縁するのに充分な厚さを有する。従つてセ

ット可能なフィルム 224 は、ダイオード 208 の電気特性を損うことなく該ダイオードの半導材に直接プログラム化可能となる。

セット可能な薄膜の層 224 がデポジットされた後、ポリイミド又は二酸化ケイ素の如き透明な絶縁材で形成した不動態化層 226 は、セット可能な薄膜 224 を酸化しないよう保護するように基板 202 の全表面にデポジットされる。

次に第 13 乃至 15 図には、例えば合成重合樹脂層で形成したような可撓基板の本発明による実施例を示す。本発明の背景として前文に記載したように、電子基板として使用出来る程度に高温に耐え得る合成重合樹脂は商業的に入手可能である。例えば本発明の背景の説明文にて前文に説明したように高温ポリイミドカプトンは 300 ℃までの温度に耐え得る。この温度はカプトンに金属ラインにデポジットするのに充分高い温度である。同様にこれは前述の p - i - n ダイオードに使用し

た型式の無定形半導材をカプトンに形成するのに充分高い温度である。かくて前述の本発明による実施例を構成するのに使用する工程を、例えば厚さが 5 ミルのカプトン薄膜より成る基板にも使用可能である。

本発明の電気回路を形成するのに使用する薄膜材より成るデポジットされた層自体はかなり可撓性を有するので、該層を可撓基板に形成する場合には、結果として形成される集積回路すなわちアドレスライン、整流素子、絶縁層、セット可能な薄膜及び不動態層並びにそれらの基板を包含する集積回路は比較的可撓性が高い。このような回路は損傷することなく著しい拂曲に耐え得るので、かかる集積回路の基板に鋭い折り目又は折りたたみ目を与えない限り該層上に形成した電気回路を損うことはない。かかる可撓回路の主な利点は、比較的広い面積の回路を形成可能であり、可撓性の故に結晶性基板に等しく広範な面積にもかかわ

らずもろくはない。更に可携性の故にかかる集積回路を多種多様な不規則面に順応可能であり、包装体、パッケージ、クレート及び他の品物に付けるラベルやスタンプとしても使用可能である。この実例は第15図に図示してあり、コンペアペルト238の上のパッケージ236に取り付けるラベルとして可携集積回路230を使用している。第14図に示す如く、ラベルを貼るべき品物の表面に塗布しやすくするように裏に貼り付けた接着材240で回路230を包裝可能である。かかる回路の取り扱いを便利にするために既に接着材240を塗布し、ラベル230を貼り付けるべき時間まで接着材を被覆するはぎ取り可能な裏242を取付けるように製造可能である。

ラベル230はそれを貼り付けるパッケージ236の如き品物に関する情報を有するように光学的にプログラム化可能である。例えばラベルを貼るパッケージの内容、パッケージの届け先又はその他

必要な事項に関する情報を表示することが出来る。該情報は、プログラム化すべきセット可能な薄膜の長さにレーザエネルギーを選択にて集める制御可能なレーザ装置によつて該情報を光学的に書き込み可能である。同様に該情報をマスクプログラム化可能である。このことはプログラム化すべきセット可能な薄膜の部分にマスクの開口部を整合させるようにメモリ回路230にマスクを配置することによつて実施される。次に該メモリ回路をマスクを介してキセノンフラッシュの如き鮮明な光線に露出する。可携回路230に情報がプログラムされると、該情報は光学的方法及び電気的方法のいずれによつても読み取り可能である。前述のカルコゲン化物の薄膜のように多くの光学的にプログラム可能でセット可能な薄膜は位相変化する時に反射率が変化するので光学的に読み取り可能である。回路230にプログラム化した情報は、回路230

に位置決めした接触パッド234と電気接觸する装置を使用することによつて電気的に読み取り可能であり、次に該装置は選択した組合せの接触パッド234に電圧を加え、選択したX及びYライン相互間を所望のポテンシャルにし、選択したX及びYライン相互間の交さ部におけるセット可能な薄膜がプログラム化されているか否かを該装置によつて決定可能にする。

メモリ配列230のメモリ素子が比較的少ない場合、接触パッド234をX及びYラインの各々に接続可能である。しかしながら、メモリ配列230のメモリ素子の数が多い場合、X及びYラインの各々に別個の接触パッドを必要とすることなくX-Yメモリ素子の各々をアドレス可能にするようにならう。集積回路にデコード装置を設けることが望ましくなる。

第16図には、本発明のある種の実施例にて使用するデコード電気回路を示す概略線図である。第16図に示す回路250は、X及びYライン相互間の交さ部にて直列接続するダイオードを備えるXライン220及びYライン204より成るX-Y列を包含する。この列は標準型メモリ部252と、Yラインデコード部254と、Xラインデコード部256とに分割される。標準型メモリ部252は、X及びYライン相互間の各インターフェクションにてプログラム化した情報をダイオード208と直列に記憶するためにセット可能なメモリ装置224を包含する。X及びYデコード部256及び254は標準型メモリの如く機能しないで、むしろデコード電気回路の如く働き、選択したX及びYラインと協働するアドレスビットをXアドレス入力部258とYアドレス入力部260とに加える時にメモリ部252の

選択したX及びYラインに所望の電圧を加えるようにする。

Yアドレスデコード部254のXライン220aの各々はYアドレス入力部260に接続する。Yラインを選択するためにアドレスの各ビットが使用され、その逆の又は対抗する値がYアドレス入力部260の1つとして供給される。これに関しては第16図に図示するが、この図面において、X及びYデコーダ共2個のビットアドレスを有する。すなわちYラインデコーダ254としてA0及びA1、Xラインデコーダ256としてA2及びA3を有する。この図面から明らかのように、該アドレスビットの各々及びそれの逆(水平棒で示す)がそれと協働するデコーダに供給される。

(以下余白)

Yデコーダ254において、該アドレス入力の各々は、デコーダ入力ラインとして働くXライン220aに接続する。該デコーダ入力ライン220aは、メモリ配列の標準型メモリ部252にプログラム可能なメモリ素子224をアドレスするYラインの各々との交さする。該メモリライン204の各々は抵抗器262を介して基準電圧の比較的高い電源264に接続する。Yメモリラインの各々はダイオード208を介してデコーダ入力ライン220aのいずれかに接続する。この結果として形成される回路の配列によって、Yメモリラインの各々と、それと協働する抵抗器262、及びダイオード208を介してのある種の選択入力部260への接続部とでANDゲートを構成する。その理由は、プルーアップ抵抗器262に接続するデコーダ入力ライン220aの1つが低電圧でYメモリラインの電圧を低ししない限り各Yメモリライン204の電圧はそのプルーアップ抵抗

器262を介して高くなるからである。Yメモリライン204の各々は、アドレス入力ビットと逆アドレス入力ビットとの結合体に接続するが、この場合該入力ビットは全て該メモリラインと協働するYアドレスが入力部266に供給される場合にのみ高電圧を有する。入力部260に他のアドレスを供給した場合、ダイオード208を介してYラインが接続しているラインの1つは低い値を有するので、該Yラインの該値は低くなる。かくて、Yデコーダ電気回路254によつて、アドレス入力部260に与えられるアドレスと協働するYメモリラインの電圧は高くなり、その他のYメモリラインの電圧は低くなる。

Xアドレスデコーダは、負の論理を用いる点だけを除いてYデコーダ部とほぼ同じ方法で作動する。XアドレスビットA₂及びA₃の各々及び逆のアドレスビットA₂及びA₃はそれぞれXデコーダ入力ラインを形成するYライン204aに接続する。

該デコーダ入力ラインの各々は、メモリ列のメモリ部252をアドレスするために使用されるXライン220の各々とのインターフェクションを形成する。Xデコーダにおいて各メモリライン220は抵抗器268を介して地面266に接続する。かくて各Xメモリライン220の電圧は、ダイオード208とXデコーダ入力ライン204aを介して正の電圧を有するXアドレス入力ビット258に接続しない限り抵抗器268の1つを介して低くなる。Xライン220の各々と、抵抗器268を介しての地面266との結線及びダイオード208を介してのXデコーダ入力ライン204aの選択したものとの結線を結合して負のANDゲートを構成する。かかる構造のANDゲートの場合、接続するデコーダ入力ライン204aの全てが低い値の電圧を有する場合にのみXメモリライン220の値は低くなる。かくて標準型メモリ部252をアドレスするために使用されるXメモリライン220の各々は、入力部258に供

給されるアドレスが特別なXメモリラインと協働するものである場合にのみ低い値となるXアドレス入力ビット258の特別な結合部に接続する。

前述のX及びYデコード電気回路を結合させた結果、入力部260にYアドレスを供給し、入力部258にXアドレスを供給することによって選択したYメモリライン204の電圧を高くし、選択したXメモリライン220の電圧を低くすることが可能であり、選択した該X及びYラインの交さ部におけるメモリ素子は該インターフェクションに与えられる電圧を有することになる。かかる電圧が選択したメモリセルに加わると、該選択セルのセット可能な薄膜224が、0又は1とそれぞれ協働する高い抵抗を有するか又は低い抵抗を有するかを決定する。この決定は、抵抗器272を介して正電圧源264に接続するYライン270を使用することによって実施させる。ライン270はダイオード208を介してXメモリライン220の各々に接続する。

該ダイオードの結線の極性は、ライン270の電圧がXメモリアドレスライン220の中の最低電圧の方へ引込まれるようなものである。所与のメモリセルをアドレスするように所与のXメモリライン220を選択した場合、Xデコーダ256は抵抗器268を介して電圧をA点に印加する傾向にある。しかしながら選択したメモリセルのセット可能な薄膜224の抵抗が比較的低い場合、該Xラインの電圧はそうでない場合ほど低くはならない。その理由は、選択したYメモリライン204の高電圧が比較的抵抗の低い通路を介して選択したXメモリラインに接続するので、選択したXラインの電圧を幾分高くする傾向にあるからである。かくてライン270及び該ライン270に接続する接触パッド272の電圧は、選択した該メモリ素子と協働するセット可能な薄膜の抵抗が高い場合と同じ様に低くはならない。従つて接触パッド272の電圧は選択したメモリセルがプログラム化されているか否かを

示す。

このデコード方法の利点の1つは、X及びYデコード254及び256を同一材料で形成可能で、列250のメモリ部252を形成する時に使用するものと同じ行程を経ることである。極めて小さい列の場合は、X及びYデコード256及び254を標準型メモリ部252と全く同じ方法で形成可能である。かかる実施例においては、第16図に示すものと同様に、デコードのダイオード208はメモリ部のものと同一であり、標準型メモリ部252に使用するものと同一型式の選択によってプログラム化するセット可能な素子224によってY及びXアドレスラインとそれらと協働するデコード入力ラインとの間を接続する。これは第16図に図示しており、この場合、プログラム化したセット可能な素子224には「X」を表示した。しかしながら、最適条件下にて実施するためには、デコード部に使用するダイオードをメモリ部に使用するダイオードより大きくすることが望ましい。これによつて多くの電流を処理可能となるから該ダイオードを取り付けたメモリラインの電圧を更に効果的に所望の値にすることが出来る。同様に抵抗損失を軽減するためには、セット可能な材料のプログラム化した長さによるよりはむしろメモリアドレスライン204及び220とダイオード208との間のプログラム化したマスク金属結線によつてデコード部256及び254のデコード入力ラインとメモリアドレスラインとを接続することが望ましい。

ビットの記憶に用いられる列250のインターフェクションの数がデコード機能を果すものの数よりも少ないので第16図に示す回路図は比較的効果がないよう見える。しかしながらメモリ配列の寸法が大きくなると前記デコード電気回路もはるかに効果的なものになる。例えば 64×64 のアドレス可能なメモリ素子の配列は、12Xデコード入力部258と12Yデコード入力部260のみを有

し、X及びYアドレスビット及びその逆を有するデコーダによつてアドレス可能である。このようなデコード回路を用いれば、24のアドレス接点のみで4,097メモリ素子をアドレス可能となるが、該回路を用いなければ128のアドレス接点が必要となる。第13図に示す如く、デコーダ入力ライン204a及び220aにはメモリアドレスライン204及び220を所々に挿入可能であるから、接点234を均一に隔設することが出来る。第13図に示す回路230は、選択したメモリセルのアドレスに相当する24のアドレス入力接点258及び260にアドレス電圧のパターンを供給することによつて読み取られる。更に接地点266には接地電圧が供給され、正電圧接点264には正電圧を供給する。次に接点272の電圧を測定することによつて選択したメモリセルの理論値を読み取る。

本発明の代替可能な実施例においては、デコード電気回路にトランジスタを使用する。かかる実

施例の場合、メモリ回路の全てのビットを自動的に連続してアドレスするアドレス電気回路を形成可能であり、これによつて僅かな外部接点のみで全ての回路の読み取りが可能となる。

前記技術を考慮すれば本発明には多種多様な別型及び改変型が可能である。例えば、前述のダイオードの他に多くの異なる種類の絶縁装置を使用して本発明の各メモリ素子のX-Yアドレス指定を選択可能である。ここでいう他の種類の絶縁装置にはここでは詳述しないがフィールド効果を有する薄膜トランジスタ、金属-絶縁-金属(MIM)装置及びバック-トゥ-バックダイオードがある。更にアドレス装置とそれのセット可能なメモリ素子との間に絶縁装置を全く用いずに本発明をある種の用途に使用可能である。X-Y配列において所与のXラインと所与のYラインとの間に選択による二方向電気結線を設けることが望ましい場合には前記実施例は有効である。従つて本発明は添附

の特許請求の範囲を逸脱することなく前文に説明したものとは異なる方法にて実施可能であることが理解される。

4. 図面の簡単な説明

第1図はメモリアレイの簡略部分説明図、第2図は第1アドレスラインセットを備えた基板の部分平面図、第3図は前記第1アドレスラインセットの上に硬化領域が形成された基板の部分平面図、第4図は第2アドレスラインセットが配置された基板の部分平面図、第5図は上に複数の絶縁素子が形成された基板の部分平面図、第6図は上に複数のメモリ素子が形成された基板の部分平面図、第7図は上に複数の矩形絶縁素子が形成された基板の第2具体例を示す平面図、第8図は上に複数の矩形メモリ素子が形成された基板の第2具体例を示す平面図、第9図は各アドレスラインの表面に2つの薄膜ダイオードが形成され、これらダイオードの上表面が

金属層で被覆されている下方第1アドレスラインセットの2つのラインを示す平面図、第10図は表面全体を絶縁層で被覆し、この絶縁層上に上方アドレスラインを配置し、且つ各ダイオード上の金属層まで到達するviaを前記絶縁層に形成した後の第9図の基板を示す平面図、第11図は或る長さのセット可能材料膜を各ダイオードとその対応アドレスラインとの間に形成した後の第10図の基板を示す平面図、第12図は第11図の線12-12による基板断面図、第13図は本発明のメモリアレイの一具体例を示す平面図、第14図は可挠性基板上に形成された本発明のメモリアレイの斜視図、第15図は物体の表面に接着されてその物体のラベルを構成する本発明のメモリアレイの説明図、第16図は本発明のメモリアレイでのアドレス指定デコーディング手段の形成法を示す簡略説明図である。

10, 12, 14…Xアドレスライン、

20, 22, 24 … Yアドレスライン、
 30, 90 - 98, 90a - 98a, 208 … ダイオード、
 34, 36 - 44, 34a, 36a, 40a, 42a … メモ
 リ素子、 60, 202 … 基板、 72 - 82 … 絶縁
 区域、 200 … メモリ配列、 201 … メモリ
 セル、 204 … 底部アドレスライン、
 218 … 絶縁層、 220 … 顶部アドレスライン、
 230 … 可撲回路(メモリ配列)、 240 … 接着材、
 252 … 標準型メモリ部、 254 … Yラインデコー
 ド部、 258 … Xアドレス入力部、
 260 … Yアドレス入力部。

出願人 スナージー・コンピューション・テクニセス
 代理人 インコーポレーテッド
 代理士 川口義雄

図面の序文(内容に変更なし)

FIG. 1

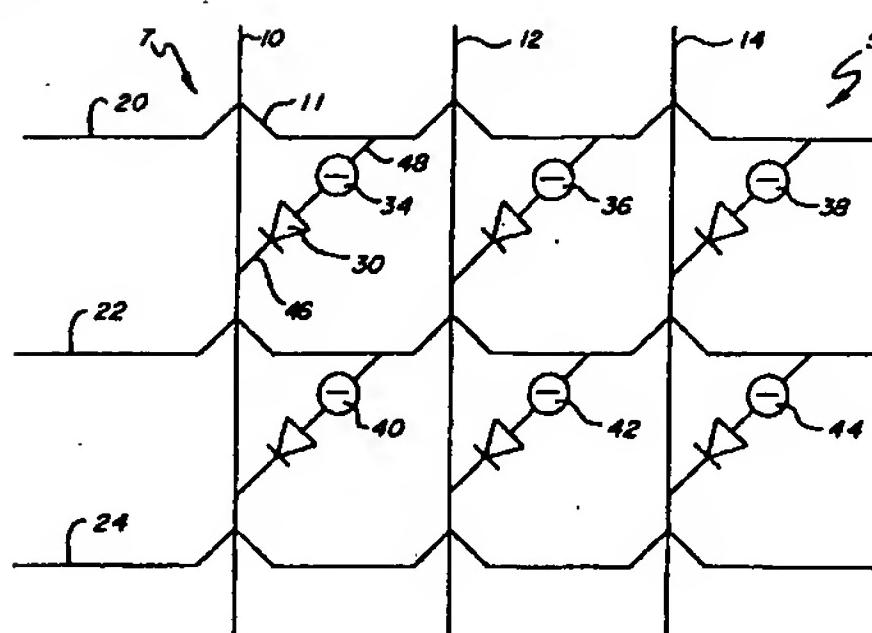


FIG. 2

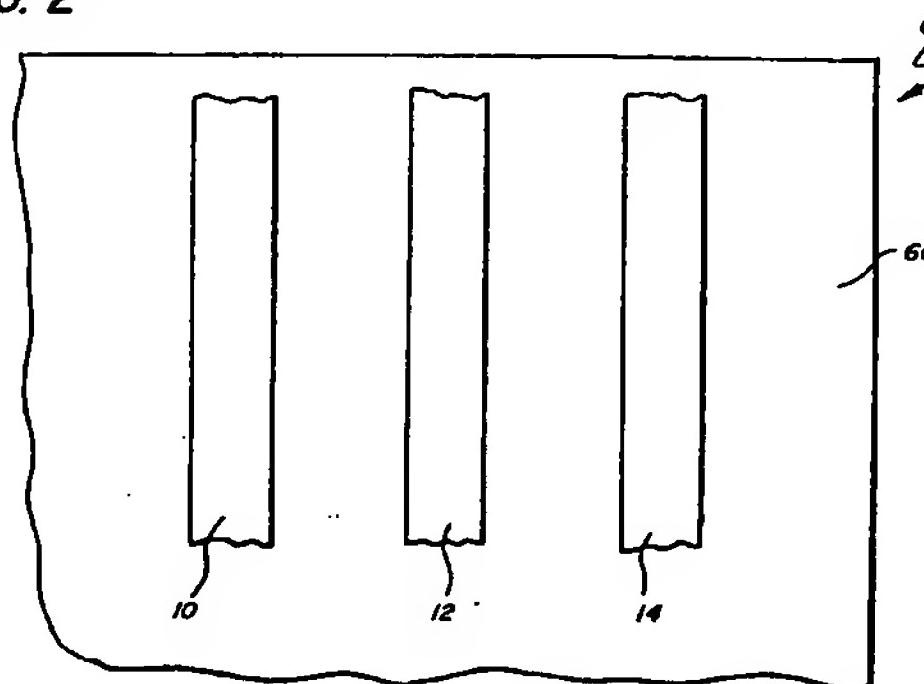


FIG. 3

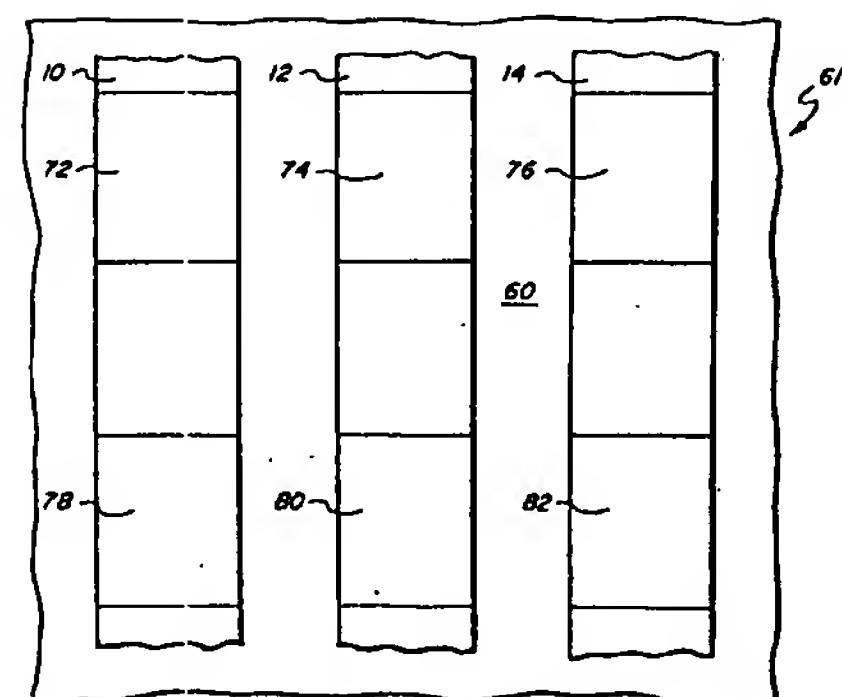


FIG. 5

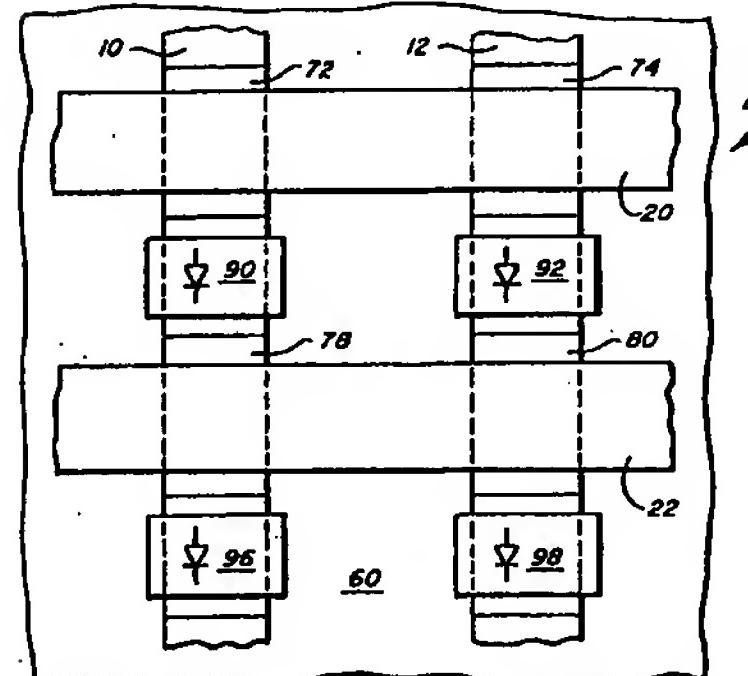


FIG. 4

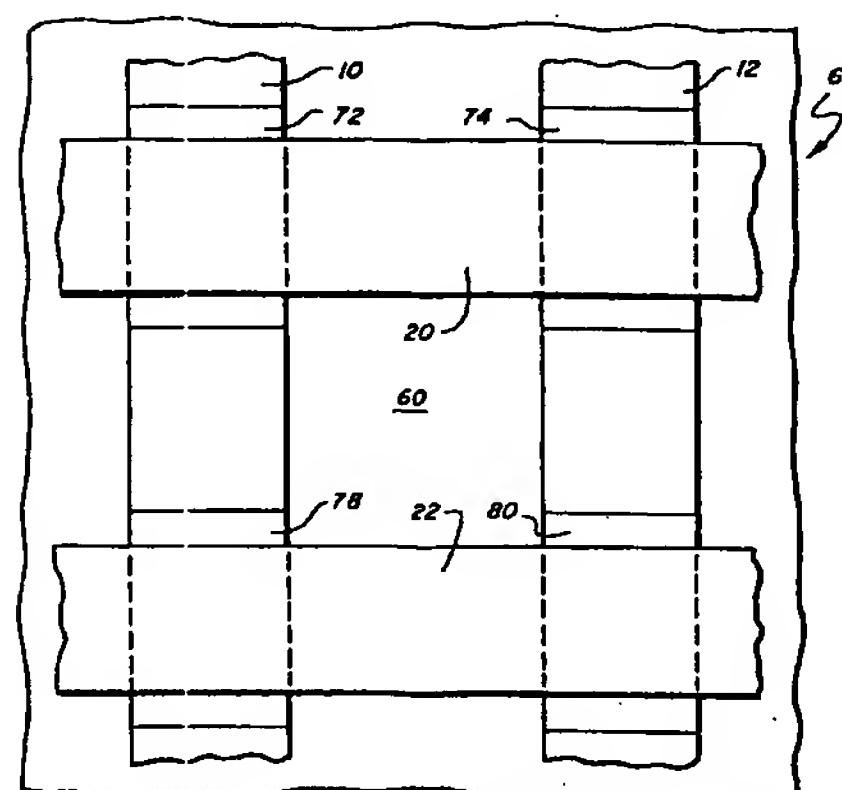
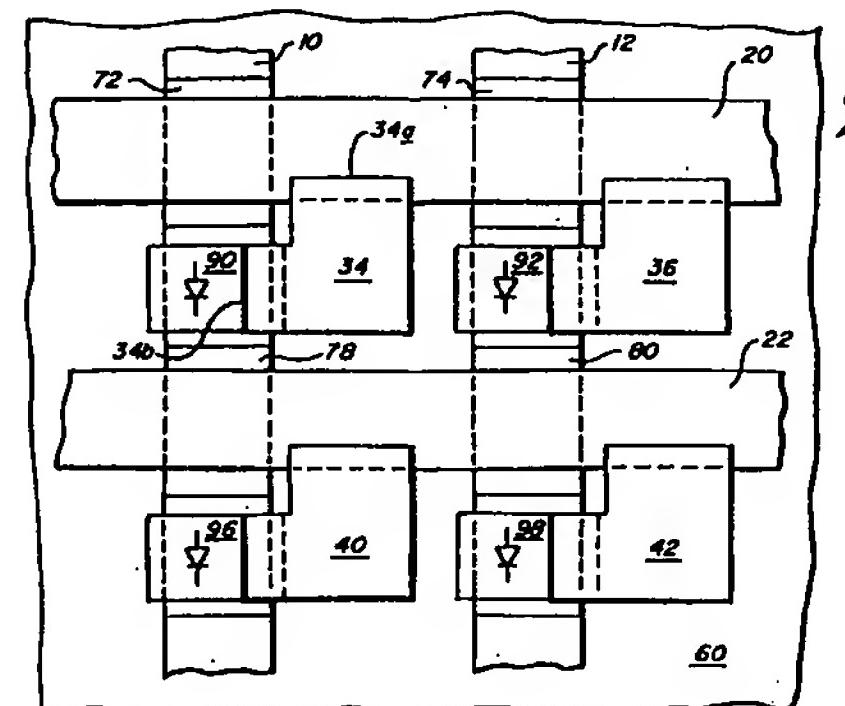


FIG. 6



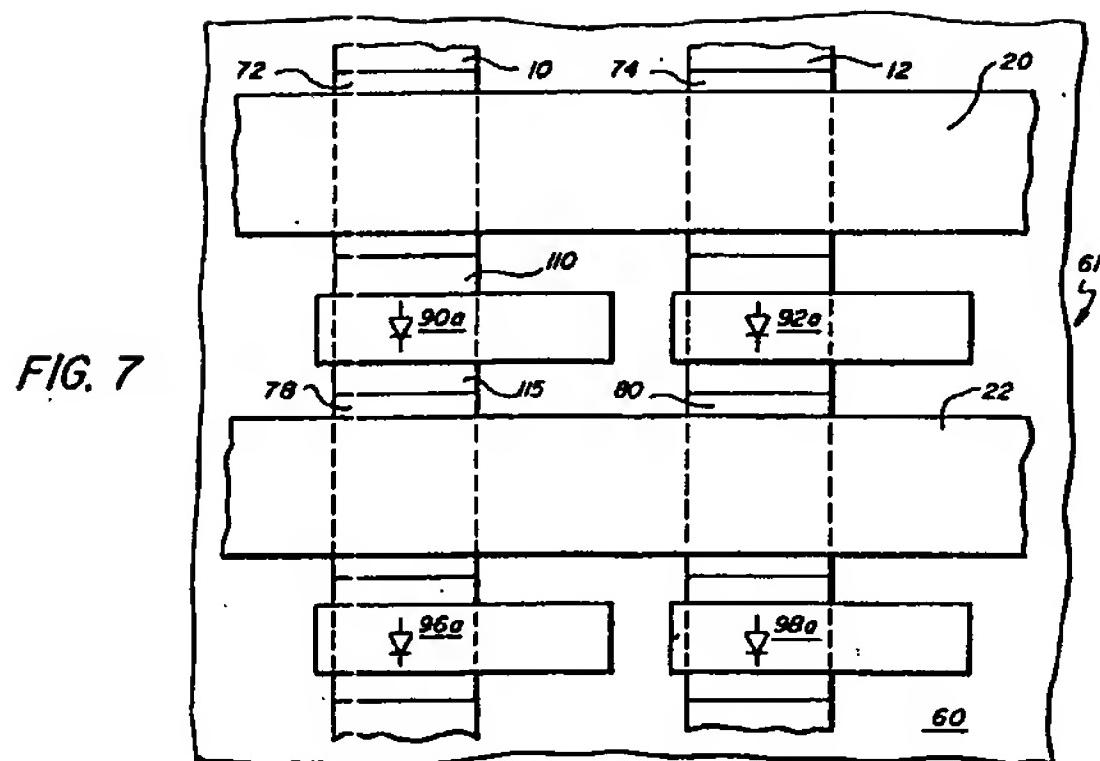


FIG. 7

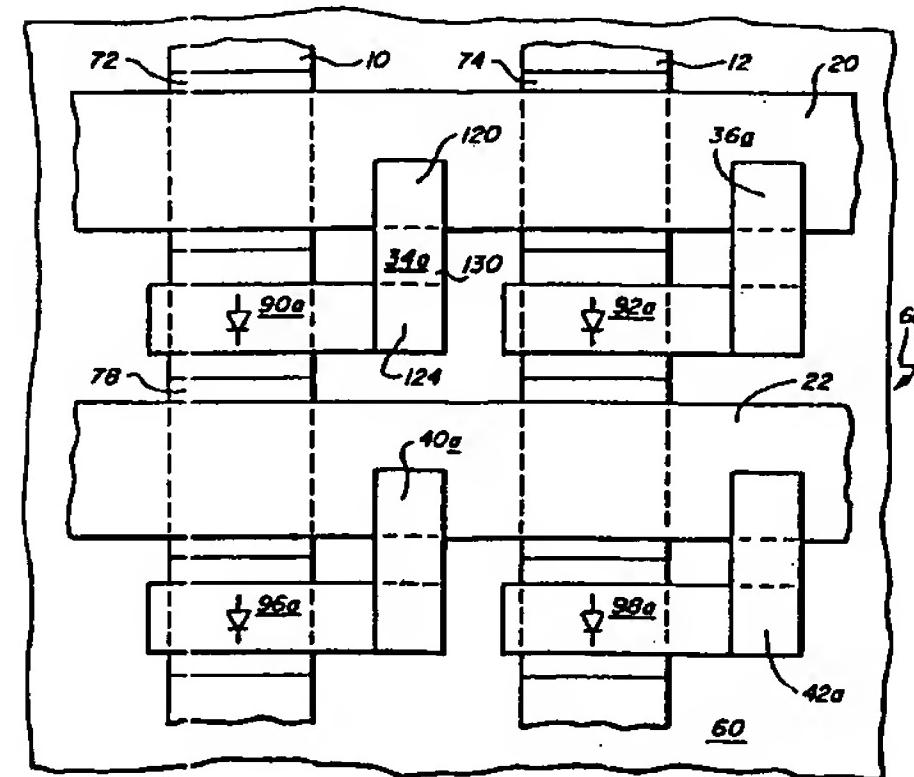


FIG. 8

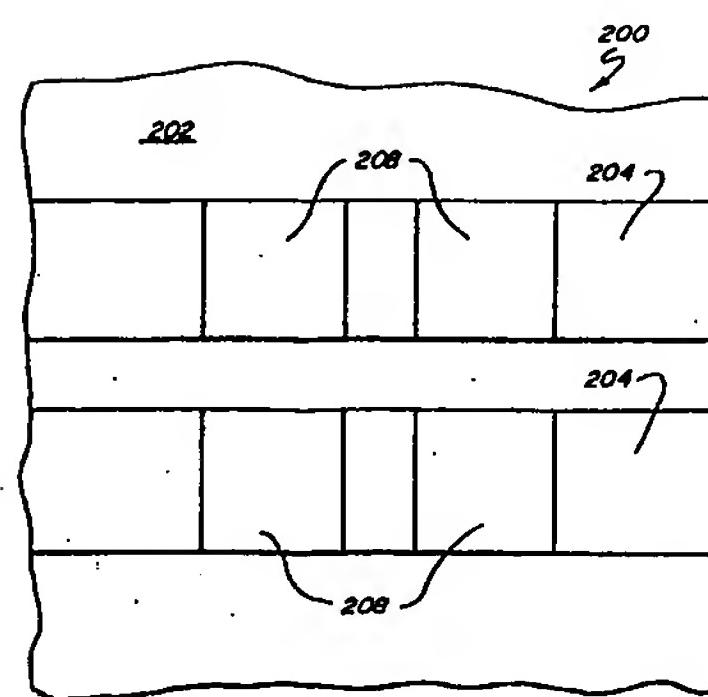


FIG. 9

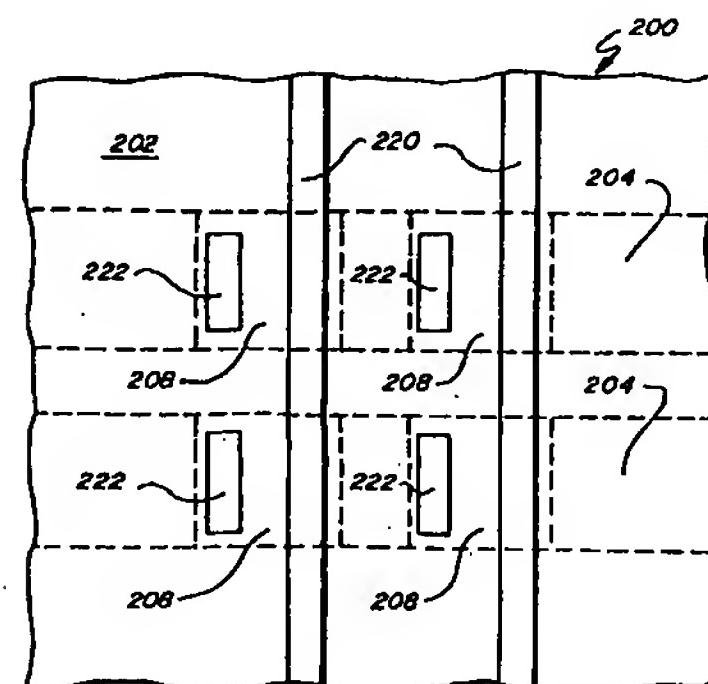


FIG. 10

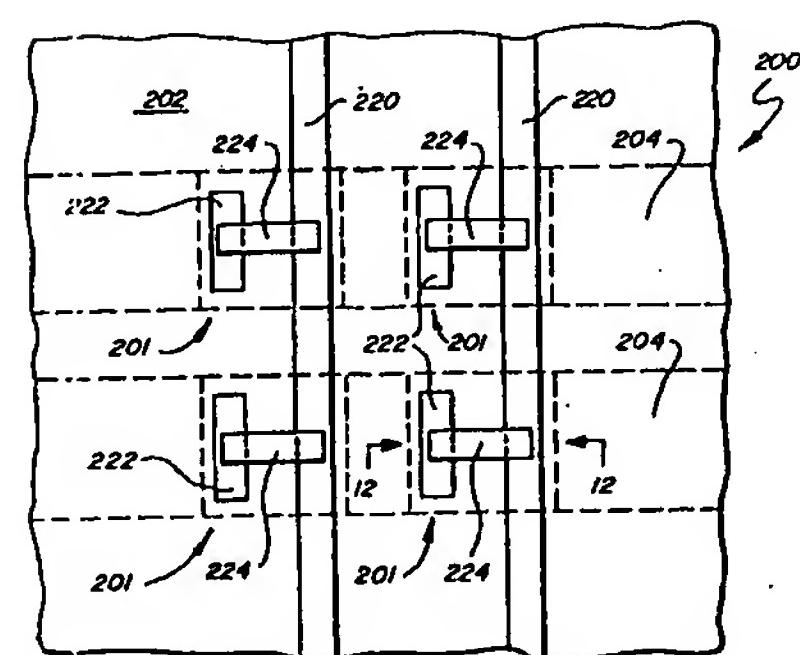


FIG. 11

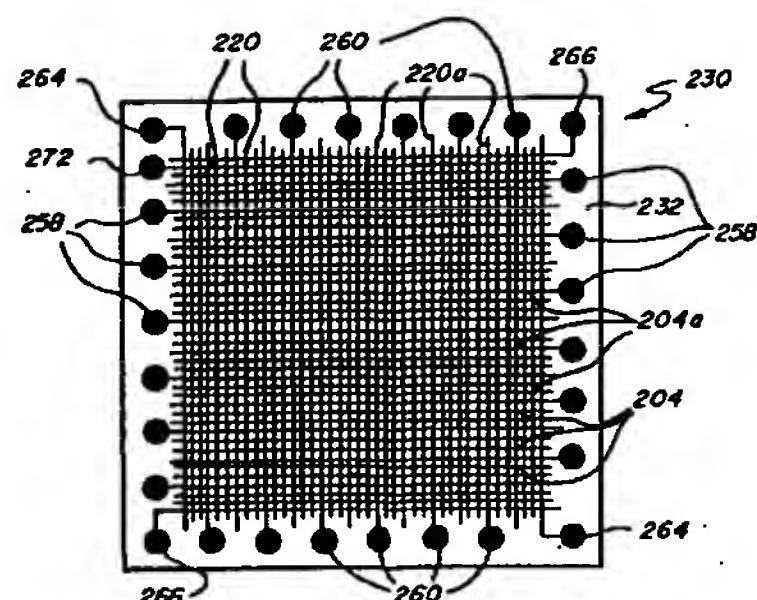


FIG. 13

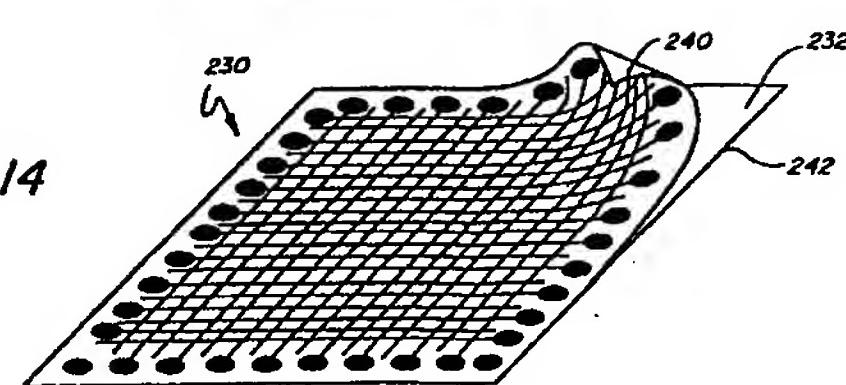


FIG. 14

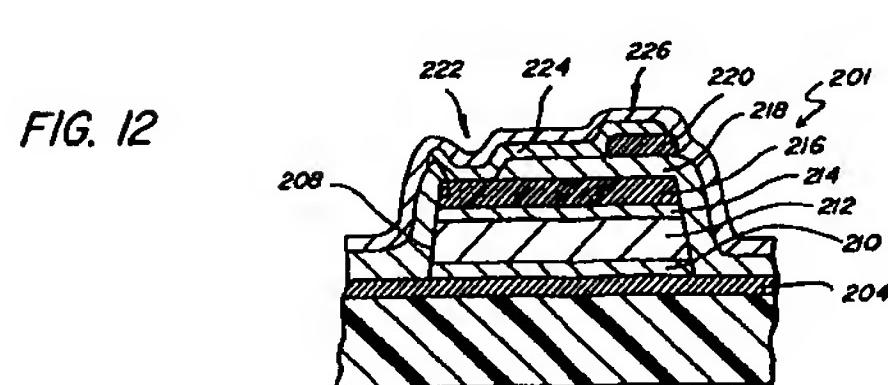
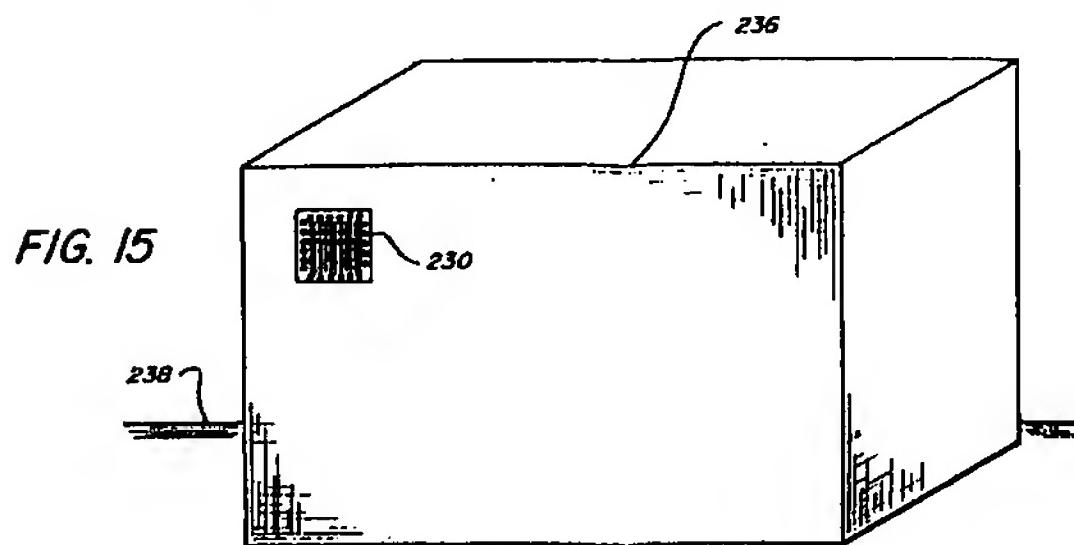


FIG. 12



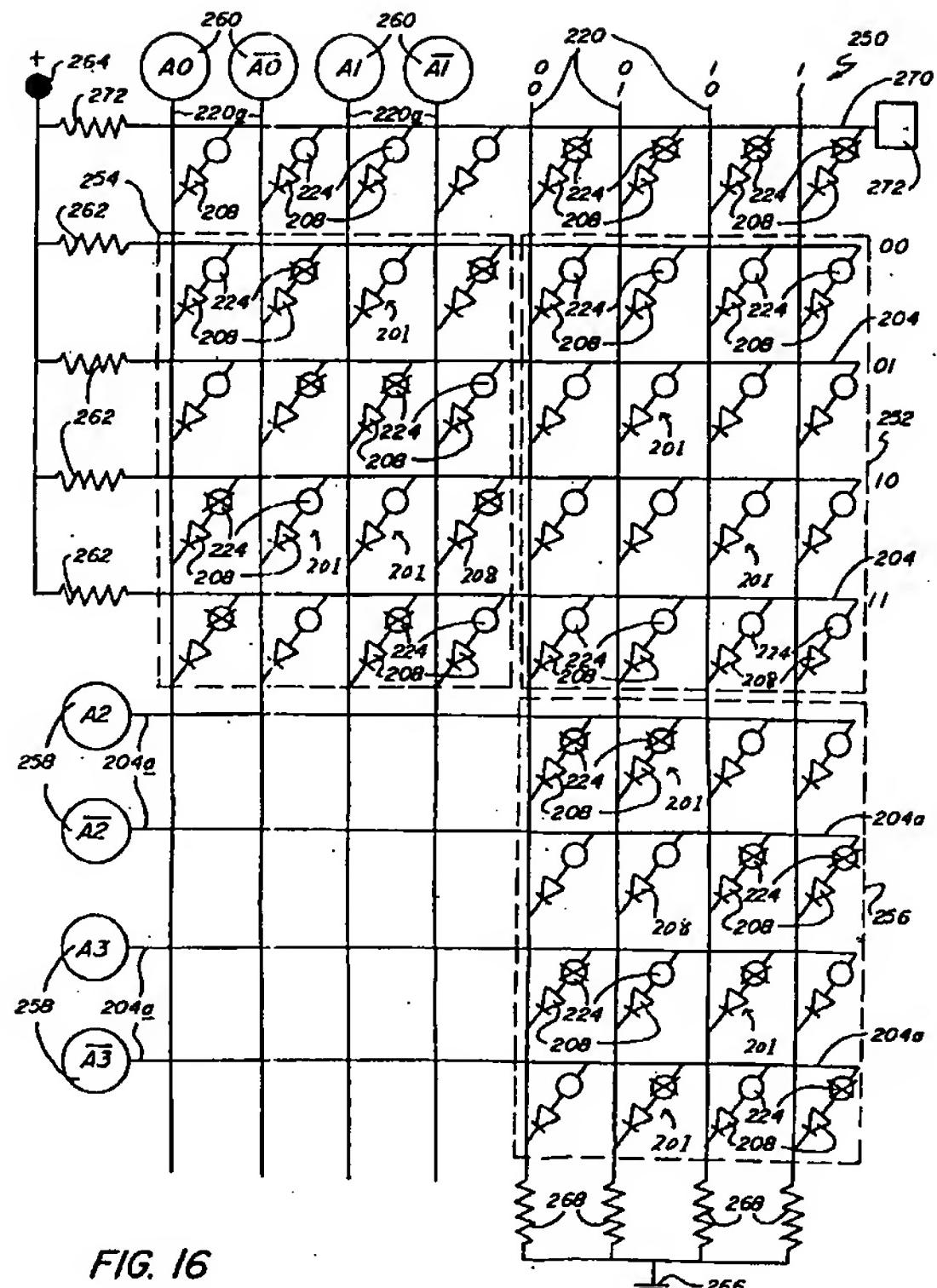


FIG. 16

手続補正書

昭和60年5月17日

特許庁長官 志賀学殿

1. 事件の表示 昭和60年特許願第78239号

2. 発明の名称 セット可能な記憶セル及び該セルを具備した
積積回路

3. 補正をする者 事件との関係 特許出願人

名 称 エナージー・コンバージョン・デバイス・
インコーポレーテッド4. 代理 人 東京都新宿区新宿1丁目1番14号 山田ビル
(郵便番号 160) 電話 (03) 354-8623
(6200) 弁理士 川口義

5. 補正命令の日付 自発

6. 補正により増加する発明の数

7. 補正の対象 図面及び委任状

特許庁

8. 補正の内容

(60.5.18)

(1)正式図面を別紙の通り補充する出願第二課

(内容に変更なし)

(2)委任状及び同訳文を別紙の通り補充する。